

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-191168

(43) 公開日 平成10年(1998) 7月21日

(51) Int.Cl.<sup>6</sup>

H 0 4 N 5/335

識別記号

F I

H 0 4 N 5/335

F

審査請求 未請求 請求項の数 4 ○ L (全 11 頁)

(21) 出願番号 特願平8-348806

(22) 出願日 平成8年(1996)12月26日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 石上 富士

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

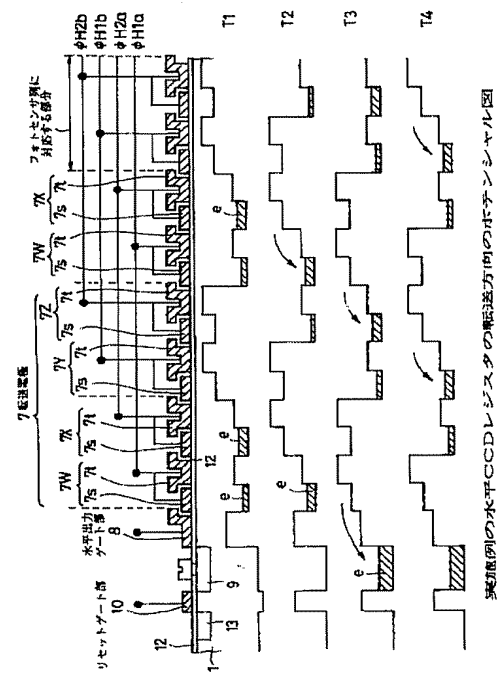
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 CCD撮像素子

(57) 【要約】

【課題】 相関2重サンプリングの期間を充分確保してサンプリングができると共に、水平走査期間を短縮して、自動制御のフィードバックやモニタ出力が速く、かつ画素数を多くして高画質のCCD撮像素子を実現する。

【解決手段】 水平CCDレジスタ5において、N (N = 2, 3, 4, ……自然数) ビットを構成する転送部の各半ビット毎の転送部7W, 7X, 7Y, 7Zが独立に駆動できるようにNビット毎に共通配線され、通常動作では、半ビット置き転送部7Wと7Y, 7Xと7Zに同一の駆動パルスφH1, φH2を入力して2相の相補駆動で動作させ、N倍速動作では、Nビットの転送部7W, 7X, 7Y, 7ZにN組の相補的駆動パルスφH1a, φH2a, φH1b, φH2bを入力して、2N相の相補駆動で動作させるCCD撮像素子1を構成する。



## 【特許請求の範囲】

【請求項1】 水平CCDレジスタにおいて、 $N$  ( $N=2, 3, 4, \dots$  自然数) ビットを構成する転送部の各半ビット毎の該転送部が独立に駆動できるように上記 $N$  ビット毎に共通配線され、

通常動作では、半ビット置きの上記転送部に同一の駆動パルスを入力して2相の相補駆動で動作させ、

$N$  倍速動作では、 $N$  ビットの上記転送部に $N$  組の相補的駆動パルスを入力して、 $2N$  相の相補駆動で動作させることを特徴とするCCD撮像素子。

【請求項2】 上記水平CCDレジスタの最終段の上記転送部に与えられる駆動パルスの位相が、上記通常動作での一方の駆動パルスの位相と同一であることを特徴とする請求項1に記載のCCD撮像素子。

【請求項3】 各受光部列に対応した読み出しゲートが1列～ $N$  列置きに駆動可能とされ、上記通常動作では全ての上記読み出しゲートをオンにして信号を読み出し、上記 $N$  倍速動作では $N$  列中1列の読み出しゲートのみをオンにして $1/N$  の列のみ読み出すことを特徴とする請求項1に記載のCCD撮像素子。

【請求項4】 水平CCDレジスタ中の下側にゲート部を介して電荷排出するドレイン領域を有し、上記 $N$  倍速動作では上記ゲート部を水平ブランキング期間にオンにし、受光部の $N$  列中 $N-1$  列に対応した信号電荷を上記ドレイン領域に捨ててから、上記水平CCDレジスタによる電荷転送を行うことを特徴とする請求項1に記載のCCD撮像素子。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、CCD撮像素子に係わる。

## 【0002】

【従来の技術】 最近、動画用カメラ、静止画用カメラにおいて、ますます高画質のカメラが求められている。高画質化のためには撮像素子の画素数を増やせばよいが、画素数を増やすと画素の信号電荷をフレーム転送する際の転送レート、いわゆるフレームレートが遅くなってしまい、撮像素子の出力信号を利用した例えばAF（オートフォーカス；自動焦点制御）、AE（オートアイリス；自動露出制御）、AWB（オートホワイトバランス）等のフィードバックが遅くなったり、電子スチルカメラにおいて動画出力を見ながら構図を決めたりする場合のカメラの動きや被写体の動きに追従することが困難になったりする。

【0003】 図9は、このようなカメラに用いられる、CCD撮像素子の一例の平面図を示す。このCCD撮像素子51は、いわゆるインターライン転送方式と呼ばれる方式により信号電荷を転送するもので、フォトセンサによる受光部52が複数マトリックス状に配置されて、各受光部52の列毎に、それぞれ読み出しゲート部53

を介して垂直CCDレジスタ54が接続され、さらに垂直CCDレジスタ54が水平CCDレジスタ55に接続され、水平CCDレジスタ55からの電荷は、アンプ56等の出力回路を経て電圧に変換されて、出力電圧 $V_{out}$  として出力される。

【0004】 垂直CCDレジスタ54には、その転送電極に垂直駆動パルス $\phi V1$ 、 $\phi V2$ 、 $\phi V3$ 、 $\phi V4$  が印加され、4相駆動で信号電荷の転送がなされる。一方、水平CCDレジスタ55には、各受光部列に対応して配された転送電極に水平駆動パルス $\phi H1$ 、 $\phi H2$  が交互に印加され、後述するように2相駆動で信号電荷の転送がなされる。

【0005】 上述の問題に対して、フレームレートを上げるためには、CCD撮像素子のCCDレジスタやシステムの駆動周波数を上げることが考えられる。ところが、駆動周波数を上げると、その結果消費電力が増大してしまう。また、CCD撮像素子では、リセット雑音を相殺する等の目的で、CDS（相関2重サンプリング）を行っている。駆動周波数を高くすると、このサンプリングにおけるサンプリングホールドパルスの位相調整をセット毎に行う必要性が生じ、生産効率が落ちる。

## 【0006】

【発明が解決しようとする課題】 CCD撮像素子からのデータレートを増加させずに、水平走査期間を半分にする手段として、水平CCDレジスタの駆動周波数を2倍にしてフローティングディフュージョン（FD）で水平2画素を加算する方法や、水平CCDレジスタの最終段以外の駆動周波数を2倍にし最終段で2画素を加算する方法があるが、いずれも出力波形の形状が変わり、相関2重サンプリング等のサンプリングできる出力波形のリセット期間やデータ期間が短くなってしまう。

【0007】 図10は図9のCCD撮像素子51の2相駆動水平CCDレジスタの構成及びその転送方向のポテンシャル図、図11は水平CCDレジスタの通常動作における駆動パルス $\phi H1$ 、 $\phi H2$  とCCD出力波形を示す。

【0008】 水平CCDレジスタ55は、図10に示すように、半導体基板上に絶縁膜を介して例えば第1層目の多結晶シリコンからなるストレージ電極57sと第2層目の多結晶シリコンからなるトランスファ電極57tとからなる複数の転送電極57が電極転送方向に沿って配列されて複数の転送部が構成される。この1つ置きに転送部の転送電極57に第1相の駆動パルス $\phi H1$  が印加され、他の1つ置きに転送部の転送電極57に第2相の駆動パルス $\phi H2$  が印加されて、いわゆる2相の相補駆動によって信号電荷が転送されるようになされる。

【0009】 即ち、図10に示すように、時点T1では、第1相の駆動パルス $\phi H1$  が高レベル、第2相の駆動パルス $\phi H2$  が低レベルとなり、 $\phi H1$  が印加される転送部のポテンシャルが深くなり、ここに信号電荷 $e$  が

転送される。

【0010】次に、時点T2では、第1相の駆動パルス $\phi H1$ が低レベル、第2相の駆動パルス $\phi H2$ が高レベルとなり、 $\phi H2$ が印加される転送電極部のポテンシャルが深くなり、 $\phi H1$ が印加される転送部から $\phi H2$ が印加される転送部へ信号電荷が転送される。このようにして2相駆動パルス $\phi H1$ 、 $\phi H2$ により、信号電荷が転送方向へ順次転送されていく。

【0011】水平CCDレジスタ55の最終段の転送部は第1相の駆動パルス $\phi H1$ が印加されるようになっており、時点T2において、水平CCDレジスタ55から図示しないがフローティングディフュージョン(FD)に信号電荷が転送され、信号電圧に変換される。

【0012】フローティングディフュージョン(FD)を通じて信号が読み出された後、フローティングディフュージョン(FD)に隣接するリセットゲート部にリセットゲートパルス $\phi RG$ が与えられて、フローティングディフュージョン(FD)の電荷がリセットされる。

【0013】こうして図11のCCD出力波形が得られる。CCD出力波形中のTpの部分にはプリセット信号、Tdの部分にはデータ信号を示す区間である。CCD撮像素子からの出力信号は通常、S/N比を向上させるために、相関2重サンプリング即ち、プリセット信号Tpをまずクランプし、その後データ信号Tdの部分がサンプリングされる。

【0014】ところで、画質を向上させるために画素数を多くすると、一画面の取り込み速度、即ちいわゆるフレームレートが遅くなり、前述のように、CCD出力信号を利用したAF、AE、AWB等のフィードバックが遅くなったり、液晶画面等に表示して構図を確認することが困難になったりする。

【0015】これを改善するためには、例えば水平CCDレジスタの駆動周波数を2倍にして、出力データレートを速くする方法がある。この場合の水平駆動クロックパルス及びCCD出力波形を図12に示す。駆動周波数が2倍になるため、水平駆動パルス $\phi H1$ 、 $\phi H2$ 、リセットゲートパルス $\phi RG$ の波長がそれぞれ半分になり、CCD出力波形の周期も半分になる。

【0016】しかしながら、この場合には、クランプやサンプリングを行う部分の幅Tp2、Td2が、通常の場合の1/2となり、クランプパルスやサンプリングパルスの位相を1台ずつ調整する必要があるため生産性が落ちる。しかも、データレートが2倍になることから、信号処理の速度も2倍になり、消費電力の増大やノイズの増大も生じる。また、システムの設計が制約されるため製造コストの面でも不利になる。

【0017】一方、データレートを変えずに水平CCDレジスタの走査速度を倍に上げる方法として、フローティングディフュージョン(FD)で水平2画素分の信号電荷を加算する方法がある。この場合の水平駆動パルス

及びCCD出力波形を図13に示す。

【0018】この方法では、プリセット期間Tp3とデータ期間Td3の長さはそれぞれTp2、Td2と同様に通常の場合の半分になり、やはりクランプパルスやサンプリングパルスの位相の調整を必要とする。これは、Tp3が水平駆動パルス $\phi H1$ の1回目の高レベルの期間、Td3が水平駆動パルス $\phi H1$ の2回目の低レベルの期間によって制限されるからである。

【0019】上述した問題の解決のために、本発明においては、通常駆動とN倍速駆動でCCD撮像素子からの出力波形を同じにできるようにし、相関2重サンプリングの期間を充分確保してサンプリングができると共に、水平走査期間を短縮して、自動制御のフィードバックやモニタ出力が速く、かつ画素数を多くして高画質化に適したCCD撮像素子を提供するものである。

【0020】

【課題を解決するための手段】本発明のCCD撮像素子は、水平CCDレジスタのN(N=2, 3, 4, ……自然数)ビットを構成する転送部の各半ビット毎の転送部が独立に駆動できるようにNビット毎に共通配線され、通常動作では、半ビット置きに転送部に同一の駆動パルスを入力して2相の相補駆動で動作させ、N倍速動作では、Nビットの転送部にN組の相補的駆動パルスを入力して、2N相の相補駆動で動作させるものである。

【0021】上述の本発明の構成によれば、N倍速動作において、水平CCDレジスタを2N相の相補駆動により動作させることにより、水平走査期間を1/Nにすることができ、かつ相関2重サンプリングにおけるクランプパルス、サンプリングホールドパルスを通常動作と同一のものとすることができ、両パルスの期間を通常動作と同様に充分な期間確保することができる。

【0022】

【発明の実施の形態】本発明は、水平CCDレジスタにおいて、N(N=2, 3, 4, ……自然数)ビットを構成する転送部の各半ビット毎の転送部が独立に駆動できるようにNビット毎に共通配線され、通常動作では、半ビット置きに転送部に同一の駆動パルスを入力して2相の相補駆動で動作させ、N倍速動作では、Nビットの転送部にN組の相補的駆動パルスを入力して、2N相の相補駆動で動作させるCCD撮像素子である。

【0023】また本発明は、上記CCD撮像素子において、水平CCDレジスタの最終段の転送部に与えられる駆動パルスの位相が、通常動作での一方の駆動パルスの位相と同一である構成とする。

【0024】また本発明は、上記CCD撮像素子において、各受光部列に対応した読み出しゲートが1列～N列置きに駆動可能とされ、通常動作では全ての読み出しゲートをオンにして信号を読み出し、N倍速動作ではN列中1列の読み出しゲートのみをオンにして1/Nの列のみ読み出す構成とする。

【0025】また本発明は、上記CCD撮像素子において、水平CCDレジスタ中の下側にゲート部を介して電荷排出するドレイン領域を有し、N倍速動作ではゲート部を水平ブランキング期間にオンにし、受光部のN列中N-1列に対応した信号電荷をドレイン領域に捨ててから、水平CCDレジスタによる電荷転送を行う構成とする。

【0026】以下、図面を参照して本発明のCCD撮像素子の実施例を説明する。図1は本実施例に係るCCD撮像素子を全体として示す。このCCD撮像素子1は、いわゆるインターライン転送方式を採るもので、画素となるフォトセンサによる受光部2が複数マトリックス状に配され、各受光部2に隣接して設けられた読み出しゲート部3を介して受光部2の列毎に垂直CCDレジスタ4が設けられている。各垂直CCDレジスタ4は、水平CCDレジスタ5に繋がって、水平CCDレジスタ5により転送された信号電荷が、アンプ6等の出力回路を経て出力電圧 $V_{out}$ に変換された後、これが出力される。垂直CCDレジスタ4は例えば4相の垂直駆動パルス $\phi V1$ 、 $\phi V2$ 、 $\phi V3$ 、 $\phi V4$ により駆動される。

【0027】本実施例においては、水平CCDレジスタ5の構成に特徴がある。即ち、この水平CCDレジスタ5は、図2に示すように、半導体基板11上に絶縁膜12を介して例えば第1層目の多結晶シリコンからなるストレージ電極7sと第2層目の多結晶シリコンからなるトランスファー電極7tからなる複数の転送電極7が電極転送方向に沿って配列されて複数の転送部7W、7X、7Y、7Zが構成される。

【0028】この転送部7W、7X、7Y、7Zの転送電極7に対して、4つの繰返しで独立の第1の駆動パルス $\phi H1a$ 、第2の駆動パルス $\phi H2a$ 、第3の駆動パルス $\phi H1b$ 及び第4の駆動パルス $\phi H2b$ を与え、最終段の転送部7Wの転送電極7に第1の駆動パルス $\phi H1a$ を与えるように配線が施される。即ち、ここで第1の駆動パルス $\phi H1a$ が与えられる転送部を7Wとし、第2、第3及び第4の駆動パルス $\phi H2a$ 、 $\phi H1b$ 、 $\phi H2b$ が与えられる転送部をそれぞれ7X、7Y、7Zとする。尚、隣り合う2つの転送部で1ビットが構成され、この2つの転送部が、それぞれ各列の垂直CCDレジスタ4に対応する。

【0029】最終段の転送部7Wに隣接して、水平出力ゲート部8が形成され、さらに電荷・電圧変換部を構成するフローティングディフュージョン(FD)領域9、リセットゲートパルス $\phi RG$ が印加されるリセットゲート部10及びリセットドレイン領域13が形成される。

【0030】最終段の転送部7Wに転送された信号電荷は、水平出力ゲート部8を経てフローティングディフュージョン領域9に転送される。フローティングディフュージョン領域9において電荷電圧変換されて信号が読み出された後は、フローティングディフュージョン領域9

の電荷はリセットゲート部10を経てリセットドレイン領域13にリセットされる。

【0031】次に、上述の本実施例のCCD撮像素子1の動作、特に水平CCDレジスタ5での動作を説明する。尚、図2は本実施例のCCD撮像素子1の水平CCDレジスタ6の転送方向のポテンシャル図、図3は水平CCDレジスタ6の倍速動作における駆動パルス $\phi H1a$ 、 $\phi H1b$ 、 $\phi H2a$ 、 $\phi H2b$ とCCD出力波形、図4は垂直CCDレジスタ5から水平CCDレジスタ6への転送を説明する図、図5は水平CCDレジスタの通常動作における駆動パルス $\phi H1$ 、 $\phi H2$ とCCD出力波形をそれぞれ示す。

【0032】通常速度で転送するいわゆる通常動作の場合は、図5に示すように、第1の駆動パルス $\phi H1a$ と第3の駆動パルス $\phi H1b$ を同じクロックパルスとすると共に、第2の駆動パルス $\phi H2a$ と第4の駆動パルス $\phi H2b$ を同じクロックとし、且つ第1、第3の駆動パルス $\phi H1a$ 、 $\phi H1b$ と第2、第4の駆動パルス $\phi H2a$ 、 $\phi H2b$ とを互いに逆相として、いわゆる2相駆動パルスを構成し、これによって、いわゆる2相の相補駆動で信号電荷の転送を行う。この駆動は、前述の図10及び図11で示した駆動と同じである。

【0033】次に倍速動作の場合は、駆動パルス( $\phi H1a$ 、 $\phi H2a$ 、 $\phi H1b$ 、 $\phi H2b$ )が、図3に示すように、その第1の駆動パルス $\phi H1a$ と第3の駆動パルス $\phi H1b$ を互いに逆相とし、第2の駆動パルス $\phi H2a$ と第4の駆動パルス $\phi H2b$ を互いに逆相とすると共に、第1、第3の駆動パルス $\phi H1a$ 、 $\phi H1b$ の組のパルスと、第2、第4の駆動パルス $\phi H2a$ 、 $\phi H2b$ の組のパルスの位相をずらすように(本例ではパルスの半波長の1/2ずれるように)設定され、いわゆる4相相補駆動により電荷転送が行われる。

【0034】図2及び図3に示すように、まず、時点T1では、第1の駆動パルスは $\phi H1a$ が高レベル、第3の駆動パルス $\phi H1b$ が低レベルとなり、第2の駆動パルス $\phi H2a$ が高レベル、第4の駆動パルス $\phi H2b$ が低レベルとなり、 $\phi H1a$ 、 $\phi H2a$ が印加される転送部7W、7Xのポテンシャルが深くなる。従って、 $\phi H1a$ 、 $\phi H2a$ が印加される転送部7W、7Xのストレージ電極7s下に各画素に対応する信号電荷eがそれぞれ転送される。また、このときリセットゲートパルス $\phi RG$ が印加され、リセットゲート部10のポテンシャルが深くなり、フローティングディフュージョン領域9の電荷がリセットされる。このリセットゲートパルス $\phi RG$ は、最終段の転送部7Wの駆動パルス $\phi H1a$ に対して、通常動作の場合のリセットゲートパルス $\phi RG$ と同じ位相である。

【0035】次に、時点T2では、第2、第4の駆動パルス $\phi H2a$ 、 $\phi H2b$ が反転し、 $\phi H2a$ が低レベル、 $\phi H2b$ が高レベルとなり、 $\phi H2a$ が印加される

転送部7Xのポテンシャルが浅くなり、 $\phi H2b$ が印加される転送部7Zのポテンシャルが深くなる。従って、最終段の $\phi H1a$ の転送部7Wに $\phi H2a$ の転送部7Xの電荷が転送され2画素分の信号電荷が加算される。また、中間の信号電荷 $e$ は $\phi H1a$ 、 $\phi H2a$ の転送部7W、7Xから $\phi H2b$ 、 $\phi H1a$ の転送部7Z、7Wへと転送される。リセットゲート部10はオフし、フローティングディフュージョン領域9に信号電荷を蓄積することが可能となる。

【0036】次に、時点T3では、第1、第3の駆動パルス $\phi H1a$ 、 $\phi H1b$ が反転し、 $\phi H1a$ が低レベル、 $\phi H1b$ が高レベルとなり、 $\phi H1a$ が印加される転送部7Wのポテンシャルが浅くなり、 $\phi H1b$ が印加される転送部7Yのポテンシャルが深くなる。そして、最終段の転送部7Wに加算された2画素分の信号電荷 $e$ がフローティングディフュージョン領域9に転送される。同時に $\phi H2b$ 、 $\phi H1a$ の転送部7Z、7Wの電荷は $\phi H1b$ 、 $\phi H2b$ の転送部7Y、7Zへと転送される。

【0037】そして、時点T4では、再び第2、第4の駆動パルス $\phi H2a$ 、 $\phi H2b$ が反転し、 $\phi H2a$ が高レベル、 $\phi H2b$ が低レベルとなり、 $\phi H2a$ が印加される転送部7Xのポテンシャルが深くなり、 $\phi H2b$ が印加される転送部7Zのポテンシャルが浅くなる。そして、信号電荷 $e$ は $\phi H1b$ 、 $\phi H2b$ の転送部7Y、7Zから $\phi H2a$ 、 $\phi H1b$ の転送部7X、7Yへと転送される。

【0038】この後は、また時点T1と同じ状態になり、再び第1、第3の駆動パルス $\phi H1a$ 、 $\phi H1b$ が反転し、 $\phi H1a$ が高レベル、 $\phi H1b$ が低レベルとなり、 $\phi H1a$ が印加される転送部7Wのポテンシャルが深くなり、 $\phi H1b$ が印加される転送部7Yのポテンシャルが浅くなる。そして、信号電荷 $e$ は $\phi H2a$ 、 $\phi H1b$ 転送部7X、7Yから $\phi H1a$ 、 $\phi H2a$ の転送部7W、7Xへと転送される。また、リセットゲートパルス $\phi RG$ がオンになることにより、フローティングディフュージョン領域9に蓄積された信号電荷 $e$ がリセットされる。

【0039】以上のT1～T4の状態を繰り返すことにより、信号電荷 $e$ が転送方向へ順次転送されていく。そして、相関2重サンプリング回路では、図3に示すCCD出力のTp4の期間にプリセット信号のクランプが行われ、Td4の期間にデータ信号のサンプリングが行われる。

【0040】通常動作では、H1aからH1bまで移動するのに、 $\phi H1a$ の1クロック分かかるが、本例の倍速動作ではT2→T4と半クロック分の時間で転送できる。即ち、水平走査期間を半分にすることができる。

【0041】尚、図4は垂直CCDレジスタ4から水平CCDレジスタ5へ電荷転送されて、上述の時点T1に

至る電荷転送状態を示す。垂直CCDレジスタ4から水平CCDレジスタ5への転送は、通常の4相駆動により水平ブランキング期間に行われる。図4Aはポテンシャル図、図4Bは駆動クロックパルスを示す。垂直CCDレジスタ4の最終段の転送部の駆動パルスは $\phi V3$ となっており、信号電荷を水平CCDレジスタの $\phi H1b$ が印加される転送部7Yに転送している。

【0042】前述のように水平CCD転送を水平走査期間に行った後、水平ブランキング期間に入る。そして、まず時点T5において、第1、第3の駆動パルス $\phi H1a$ 、 $\phi H1b$ が高レベルに、続いて第2、第4の駆動パルス $\phi H2a$ 、 $\phi H2b$ が低レベルになっており、信号電荷は第1、第3の駆動パルス $\phi H1a$ 、 $\phi H1b$ が印加されている転送部7W、7Yに蓄積される。一方、垂直CCDレジスタ4では最終段の1つ手前の転送部の駆動パルス $\phi V2$ が高レベル、最終段の転送部の駆動パルス $\phi V3$ が低レベルとなることから、最終段の1つ手前の転送部に信号電荷がある。

【0043】次に、時点T6において、垂直CCDレジスタ4の最終段の転送部の駆動パルス $\phi V3$ が高レベルとなり、最終段の転送部のポテンシャルと、1つ手前の転送部のポテンシャルが同じ深さになる。続いて、時点T7において、垂直CCDレジスタ4の最終段の1つ手前の転送部の駆動パルス $\phi V2$ が低レベルとなることにより、信号電荷が、最終段の転送部を経て水平CCDレジスタ5の $\phi H1b$ の転送部7Yに転送される。

【0044】次に、時点T8において、垂直CCDレジスタ4の最終段の駆動パルス $\phi V3$ も低レベルとなることにより、残りの信号電荷も水平CCDレジスタ5の $\phi H1b$ の転送部7Yに転送される。

【0045】その後、前述の時点T1において、水平CCDレジスタ5の駆動パルスの内、 $\phi H1b$ が低レベル、 $\phi H2a$ が高レベルとなることによって、 $\phi H1b$ の転送部7Yの信号電荷が $\phi H2a$ の転送部7Xに転送されることになる。この後は、再び水平走査期間となり、4相相補駆動で水平CCDレジスタによる転送が行われる。

【0046】上述の実施例によれば、水平CCDレジスタ5において、倍速動作の場合と、通常動作の場合を比較すると、リセットゲートパルス $\phi RG$ と最終段の転送部の第1の駆動パルス $\phi H1a$ との位相が倍速動作時と通常動作時で変わらない。

【0047】従って、CCD出力波形は、水平CCDレジスタ5の最終段の駆動パルス $\phi H1a$ とリセットゲートパルス $\phi RG$ の位相によっているので、本例のように $\phi H1a$ とリセットゲートパルス $\phi RG$ の位相が通常と変わらない方式では、CCD出力波形も同じ位相の波形となり、相関2重サンプリングのクランプパルスやサンプリングパルスを同じ位相で使用できる。即ち、相関2重サンプリングを行うための、プリセット信号をクラン

プする期間 $T_{p5}$ 及びデータ信号をサンプリングする期間 $T_{d5}$ は、前述の倍速動作の場合の期間 $T_{p4}$ 及び $T_{d4}$ と同じ幅である。従って、倍速動作でも相関2重サンプリングを行うための期間を通常動作と同様に、十分に確保することができる。

【0048】システム構成の観点から、使用する周波数は同一であることが望ましく、このように通常動作と倍速動作とで同一周波数のパルスを使用できることにより、システムを簡略化することができる。

【0049】上述の例では4相の相補駆動によって倍速動作を行った場合であるが、原理的には、分離するゲート、即ち独立に駆動パルスを印加する転送部の数を増やして、 $2N$  ( $N=2, 3, \dots$ ; 自然数) 相の相補駆動によって $N$ 倍速動作を行えば、水平走査期間を $1/N$ にすることができる。例えば3倍速動作とするときは、各転送電極に順次駆動パルス $\phi H1a$ ,  $\phi H2a$ ,  $\phi H1b$ ,  $\phi H2b$ ,  $\phi H1c$ ,  $\phi H2c$ を印加し、 $\phi H1a$ と $\phi H2b$ ,  $\phi H2a$ と $\phi H1c$ ,  $\phi H1b$ と $\phi H2c$ をそれぞれ逆相として、それぞれの逆相関係の組のパルスをその半波長の $1/3$ ずつ位相をずらすように各駆動パルスを設定すればよい。この場合も、相関二重サンプリングのクランプパルスやサンプリングホールドパルスを通常動作と $N$ 倍速動作とで同じ位相で使用でき、また $N$ 倍速動作においても、通常動作と同様にクランプパルス及びサンプリングホールドパルスの期間を充分確保することができる。

【0050】このように、水平走査期間を $1/N$ に短縮できるので、 $AE \cdot AWB \cdot AF$ 等のフィードバックが速くなる。また、液晶画面等へのモニタ出力をカメラの動きに追従するようにすることができる。

【0051】次に、本発明によるCCD撮像素子の他の実施例について説明する。上述の実施例においては、図2に示したように、倍速動作の場合、水平CCDレジスタ6において水平2画素の加算を行っているが、単板のカラーCCDにおいては色信号を分離する必要がある。従って、例えば次のようにCCD撮像素子を構成する。

【0052】図6に示すCCD撮像素子21は、フォトセンサからなる受光部2から垂直CCDレジスタ4へ信号電荷を読み出す際に、1列置きに受光部から信号を読み出す場合の例である。例えば、R, G, Bの3色のフィルタが図示のように配列された場合を例にとると、(但し、R, G, Bのフィルタの配列は種々のパターンが考えられる)、例えば奇数列の受光部2の読み出しゲート部3に第1の駆動パルス $\phi SG1$ を、偶数列の受光部2の読み出しゲート部3に第2の駆動パルス $\phi SG2$ を、それぞれ独立に印加できるように構成する。

【0053】倍速動作の場合には、この駆動パルス $\phi SG1$ により奇数列の受光部の信号を読み出し、水平CCDレジスタ5を経て出力した後、駆動パルス $\phi SG2$ により偶数列の受光部の信号を読み出し、水平CCDレジ

スタ5を経て出力するようになせば、各受光部列のカラー信号を混合することがなく、単板CCDにおいてカラー色信号を分離することができる。通常動作即ち標準モード(いわゆる2相駆動)で動作させる場合は、第1及び第2の駆動パルス $\phi SG1$ 及び $\phi SG2$ を同時に印加して全ての読み出しゲート部3をオンにして読み出すようになる。

【0054】また、同様に単板のカラーCCDにおいて色信号を分離するための他の構成として、例えば図7に示すように、2列毎の読み出しを行う構成を採ることもできる。

【0055】このCCD撮像素子31は、フォトセンサからなる受光部2から垂直CCDレジスタ4へ信号電荷を読み出すための、読み出しゲート部3に印加される駆動パルスを、受光部列の2列置きに異なる駆動パルス $\phi SG1$ 及び $\phi SG2$ を印加する場合の例である。即ち、読み出しゲート部3は、第1の駆動パルス $\phi SG1$ が印加される列と、第2相の駆動パルス $\phi SG2$ が印加される列とが、それぞれ2つの受光部列を1組として、 $\phi SG1$ 及び $\phi SG2$ の各組が交互に配置されてなる。

【0056】倍速動作の場合には、隣接する2列毎のセンサ列の組にそれぞれ $\phi SG1$ ,  $\phi SG2$ を時間差において交互に印加して、読み出しゲート部3を駆動させることにより、各センサ列の信号を混合することがなく、単板CCDにおいてカラー色信号を分離することができる。また、 $\phi SG1$ ,  $\phi SG2$ の一方のみに印加して駆動してもよい。標準モードで動作させるときは、各駆動パルス $\phi SG1$ 及び $\phi SG2$ を同時に印加して、全ての読み出しゲート部3をオンして読み出すようになる。

【0057】尚、図6及び図7に示したCCD撮像素子21, 31を、 $N$ 倍速動作に適用することもできる。その場合には、読み出しゲートを1列 $\sim N$ 列置き(例えば3倍速動作であれば1列置き、2列置き、3列置きのいずれか)に駆動可能として、 $N$ 倍速動作においては $N$ 列中1列の読み出しゲートのみをオンにして $1/N$ の列のみ読み出すように構成すればよい。

【0058】また、図8に示すように、水平CCDレジスタの下に設けたドレイン領域に、水平CCD中の信号電荷を1列おき、または、2列毎に捨てる機能をもたせる構成を採ることもできる。図8の例は1列おきに捨てるようにした場合の例である。このCCD撮像素子41は、水平CCDレジスタ5の下側にこれと並行して、例えば奇数列の垂直CCDレジスタ4からの信号電荷はチャネルストップ43により阻止し、偶数列の垂直CCDレジスタ4からの信号電荷は通過させるゲート部44を介して電荷を排出するドレイン領域42を設けて成る。ゲート部44には、ゲートパルス $\phi HDG$ が印加される。

【0059】倍速駆動の場合、垂直CCDレジスタ4から転送されてきた信号電荷は、水平CCDレジスタ5に

入った後に水平CCDレジスタ5により転送され出力されるが、このとき、奇数列に対応した受光部2の信号電荷は、水平CCDレジスタ5に転送されるも、偶数列に対応した受光部2の信号電荷は水平CCDレジスタ5によりゲート部44を経てドレイン領域42に捨てられることになる。従って、水平CCDレジスタ5では奇数列の受光部2の信号電荷のみが転送され、出力される。

【0060】このように、受光部列の信号電荷を1列置きに水平CCD5を経てドレイン領域42に捨てるように構成することにより、各受光部列の信号を混合することがなく、単板CCDにおいてカラー色信号を分離することができる。標準モードの場合は、ゲート部44をオフして全ての信号電荷を水平CCDレジスタ5に転送するようになる。図示しないが、受光部2の列の隣接する2列毎をまとめて、2列毎に捨てるようにした場合も、同様に信号の分離を行うことができる。

【0061】尚、図8に示したCCD撮像素子41をN倍速動作に適用する場合には、受光部2のN列中1列の信号電荷を水平CCDレジスタ5に転送し、残りのN列中N-1列の信号電荷をドレイン領域42に捨てるように構成すればよい。

【0062】本発明のCCD撮像素子は、上述の例に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

【0063】

【発明の効果】上述の本発明によるCCD撮像素子によれば、水平走査期間を $1/N$ に短縮できるので、 $AE \cdot AWB \cdot AF$ 等のフィードバックが速くなる。また、液晶画面等へのモニタ出力がカメラの動きに追従し、シャッターチャンスを逃さず撮影ができる。

【0064】また、本発明により、N倍速動作においてもCCD出力をクランプするクランプパルス、サンプリングするサンプルホールドパルスの位相マージンを充分に取れるので、セットの生産性が上がる。

【0065】また、通常動作とN倍速動作で、CCD出力をクランプするクランプパルス、サンプリングするサンプリングホールドパルスを同一のものが使用できるため、システムを簡略化することができる。

【図面の簡単な説明】

【図1】本発明のCCD撮像素子の実施例の概略構成図（平面図）である。

【図2】本発明のCCD撮像素子の実施例の水平CCDレジスタの転送方向のポテンシャル図である。

【図3】本発明のCCD撮像素子の実施例の倍速動作に

おける水平駆動クロックパルス及びCCD出力波形である。

【図4】本発明のCCD撮像素子の実施例の倍速動作における垂直CCDレジスタから水平CCDレジスタへの転送を説明する図である。

A 垂直CCDレジスタの最終段及び水平CCDレジスタのポテンシャル図である。

B 垂直駆動クロックパルスの一部及び水平駆動クロックパルスを示すタイミングチャートである。

【図5】本発明のCCD撮像素子の実施例の通常動作における水平駆動クロックパルス及びCCD出力波形である。

【図6】本発明のCCD撮像素子の他の実施例の概略構成図（平面図）である。

【図7】本発明のCCD撮像素子のさらに他の実施例の概略構成図（平面図）である。

【図8】本発明のCCD撮像素子の別の実施例の概略構成図（平面図）である。

【図9】CCD撮像素子の一例の概略構成図（平面図）である。

【図10】CCD撮像素子の従来の水平CCDレジスタの転送方向のポテンシャル図である。

【図11】CCD撮像素子の従来の水平駆動クロックパルス及びCCD出力波形である。

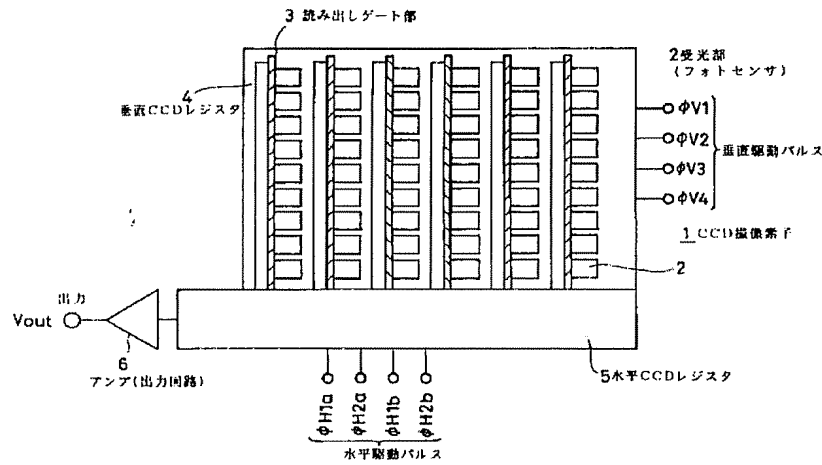
【図12】倍速動作のCCD撮像素子の水平駆動クロックパルス及びCCD出力波形である。

【図13】FD加算動作のCCD撮像素子の水平駆動クロックパルス及びCCD出力波形である。

【符号の説明】

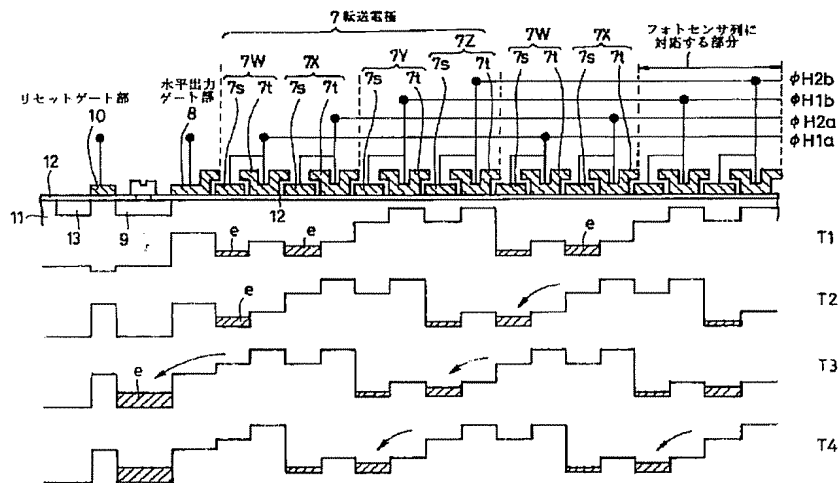
1, 21, 31, 41 CCD撮像素子、2 受光部（フォトセンサ）、3 読み出しゲート部、4 垂直CCDレジスタ、5 水平CCDレジスタ、6 アンプ（出力回路）、7 転送電極、7s ストレージ電極、7t トランスファ電極、7W, 7X, 7Y, 7Z 転送部、8 水平出力ゲート部、9 フローティングディフュージョン領域、10 リセットゲート部、11 半導体基板、12 絶縁膜、13 リセットドレイン領域、42 ドレイン領域、43 チャネルストップ、44 ゲート部、51 CCD撮像素子、52 受光部（フォトセンサ）、53 読み出しゲート部、54 垂直CCDレジスタ、55 水平CCDレジスタ、56 アンプ（出力回路）、57 転送電極、57s ストレージ電極、57t トランスファ電極、e 信号電荷

【図1】



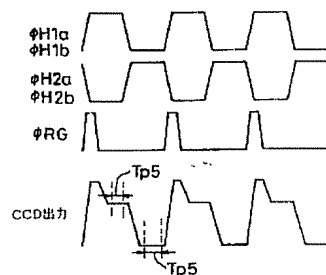
実施例の平面図

【図2】



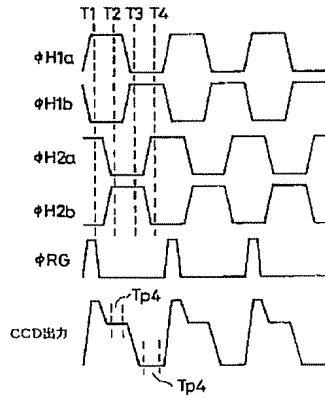
実施例の水平CCDレジスタの転送方向のポテンシャル図

【図5】

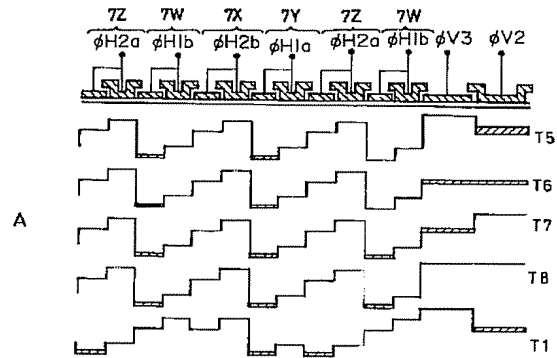
実施例の水平駆動パルス及びCCD出力波形  
(通常動作)



【図3】

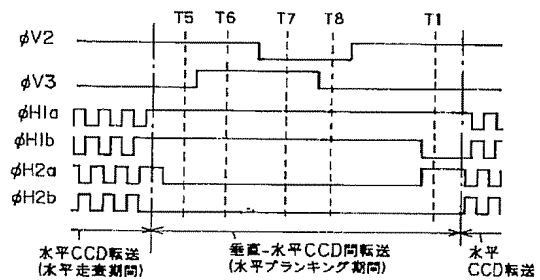
実施例の水平駆動パルス及びCCD出力波形  
(倍速動作)

【図4】

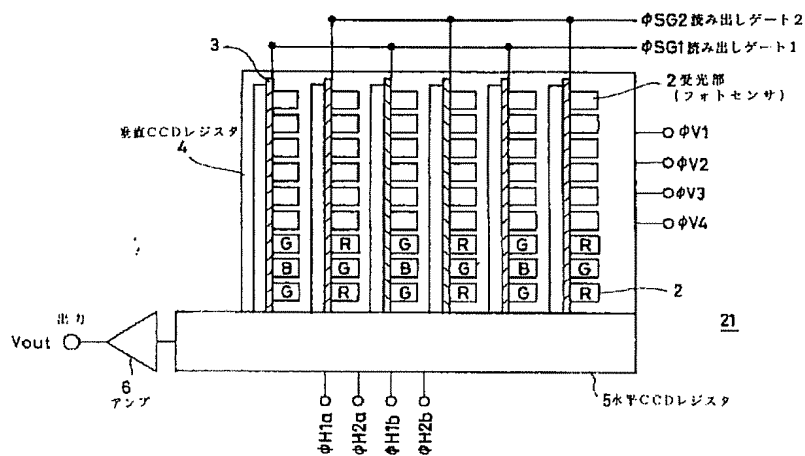


A

B

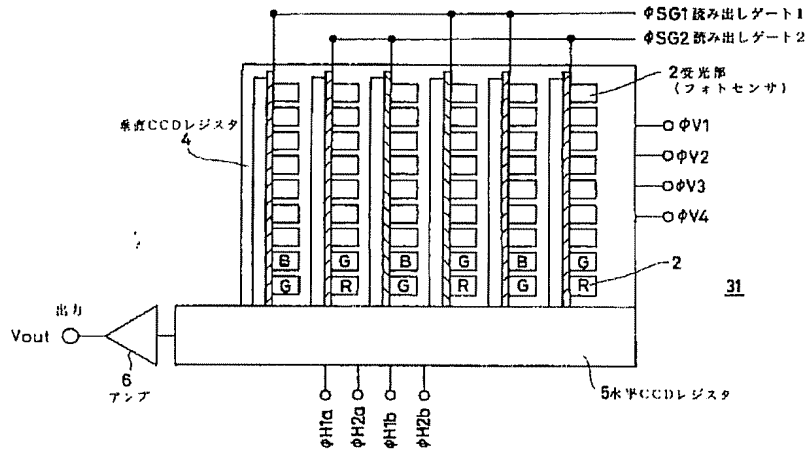
実施例の垂直レジスタのポテンシャル図及び  
駆動パルス

【図6】



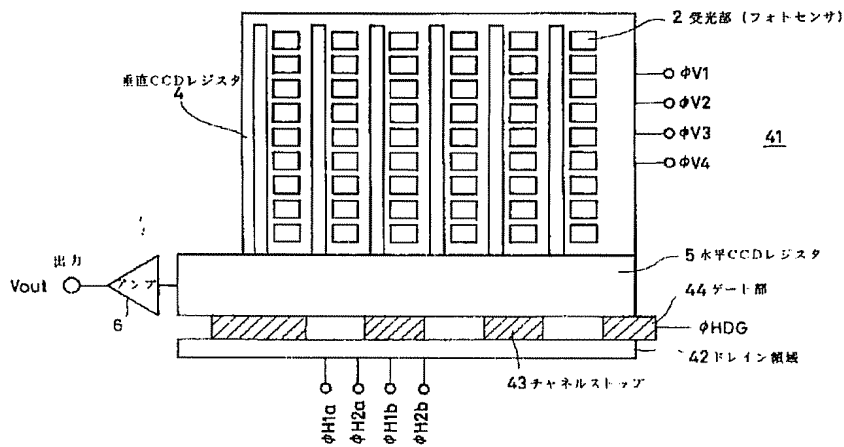
第2実施例の平面図

【図7】



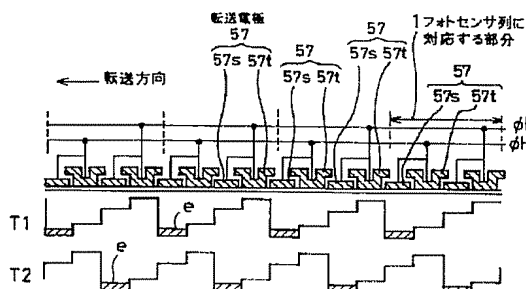
第3実施例の平面図

【図8】



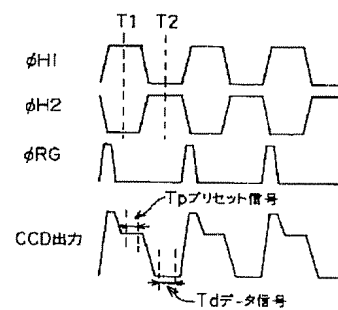
第4実施例の平面図

【図10】



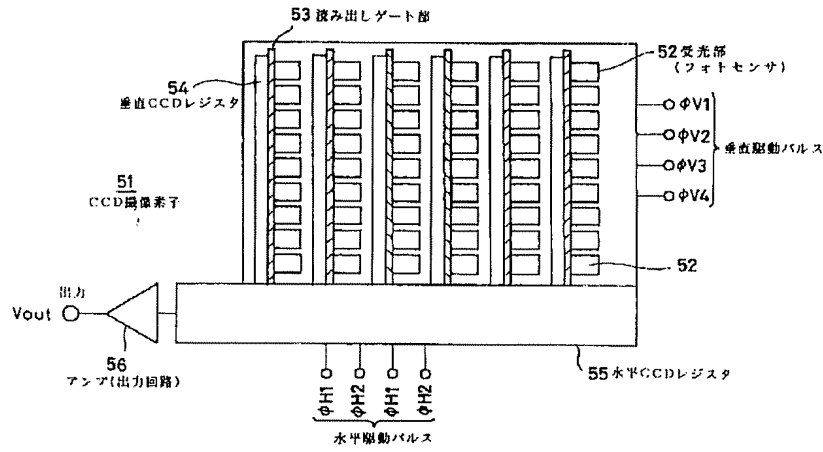
従来の水平CCD転送方向のポテンシャル図

【図11】



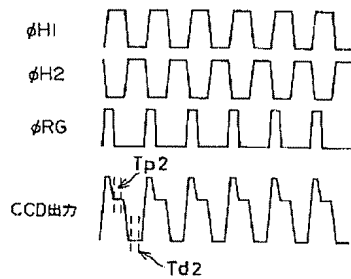
従来の水平駆動パルス及びCCD出力波形

【図9】

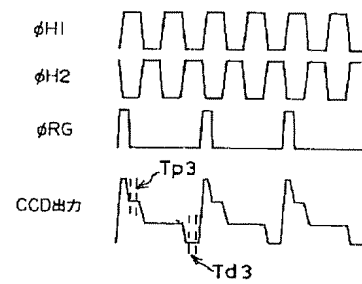


CCD撮像素子の一例の平面図

【図12】

従来の倍速動作の水平駆動パルス及び  
CCD出力波形

【図13】

従来のFD加算動作の水平駆動パルス及び  
CCD出力波形



US006452634B1

(12) **United States Patent**  
Ishigami et al.

(10) Patent No.: **US 6,452,634 B1**

(45) Date of Patent: **Sep. 17, 2002**

(54) **CHARGE TRANSFER DEVICE AND METHOD OF DRIVING THE SAME, AND SOLID STATE IMAGING DEVICE AND METHOD OF DRIVING THE SAME**

(75) Inventors: **Tomio Ishigami; Shinji Nakagawa**, both of Kanagawa (JP)

(73) Assignee: **Sony Corporation**, Tokyo (JP)

(\*) Notice: Subject to any disclaimer, the term of this patent is extended or adjusted under 35 U.S.C. 154(b) by 0 days.

(21) Appl. No.: **08/996,313**

(22) Filed: **Dec. 22, 1997**

(30) **Foreign Application Priority Data**

Dec. 26, 1996 (JP) ..... 8-348806 ✓  
Mar. 24, 1997 (JP) ..... 9-069470

(51) Int. Cl.<sup>7</sup> ..... **H04N 3/14; H01L 27/01**

(52) U.S. Cl. .... **348/322; 348/311; 257/346**

(58) Field of Search ..... 348/311, 312, 348/322, 324, 314, 315, 317, 320, 321, 323; 257/242, 246, 247, 248

(56) **References Cited**

**U.S. PATENT DOCUMENTS**

4,347,656 A \* 9/1982 Smith et al. .... 257/248  
5,239,380 A \* 8/1993 Yokoyama ..... 348/322

\* cited by examiner

*Primary Examiner*—Wendy R. Garber

*Assistant Examiner*—Rashawn M. Tilley

(74) *Attorney, Agent, or Firm*—Sonnenschein, Nath & Rosenthal

(57) **ABSTRACT**

A charge transfer device having a charge transfer portion in which a plurality of electrode pairs are formed above a transfer channel, with the plurality of electrode pairs commonly wired forming N (where N=2, 3, 4, . . . natural numbers) bits of the charge transfer portion bits so that electrode pairs of each half bit can be independently driven at every N bits, inputting the electrode pairs of each half bit with the same drive pulse to operate it by a two-phase complementary drive in a normal operation, and in an N-time speed operation, inputting the electrode pairs of N bits with N pairs of complementary drive pulses to operate them by a 2N-phase complementary drive.

**15 Claims, 22 Drawing Sheets**

